



0430

PATENT
2658-0275P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: AHM et al. Conf.: Unknown
Appl. No.: 10/029,144 Group: Unknown
Filed: December 28, 2001 Examiner: Unknown
For: METHOD OF FABRICATING PIXEL ELECTRODE
IN LIQUID CRYSTAL DISPLAY

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

March 11, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
Korea	2000-0086923	December 30, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Joseph A. Kolasch, #22,463

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

JAK/REG/jeb
2658-0275P

Attachment



RECEIVED

MAR 27 2002

AHN + Co.
GIST - 0.5F
10/229, 144
E (S) G + K
T2. LCP
TOS-225, 112

TO 2000 MAIL ROOM

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 86923 호
Application Number PATENT-2000-0086923

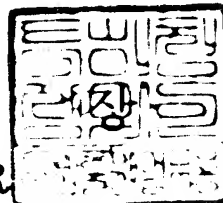
출원년월일 : 2000년 12월 30일
Date of Application DEC 30, 2000

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

2001 년 08 월 25 일

특 허 청

COMMISSIONER



	【서지사항】
【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000. 12. 30
【발명의 명칭】	액정표시장치의 화소전극 제조 방법
【발명의 영문명칭】	Fabricating Method of Pixel Pole in the Liquid Crystal Display
【출원인】	
【명칭】	엘지 . 필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	김혜영
【성명의 영문표기】	KIM, Hye-Young
【주민등록번호】	740228-2449012
【우편번호】	301-820
【주소】	대전광역시 중구 석교동 16-54 조형주택 나-202
【국적】	KR
【발명자】	
【성명의 국문표기】	안유신
【성명의 영문표기】	AHN, You-Shin
【주민등록번호】	721120-1010618
【우편번호】	718-831
【주소】	경상북도 칠곡군 석적면 남율리 우방신천지아파트 111동 1605호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영호 (인)

1020000086923

출력 일자: 2001/8/27

【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 액정표시장치의 화소전극 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치의 화소전극 제조방법은 화소전극을 구동하기 위한 스위치소자를 구비하는 액정표시소자의 제조방법에 있어서, 스위치소자를 덮도록 기판 상에 보호막을 전면 증착하는 단계와, 스위치소자의 일측 전극이 노출되도록 보호막 상에 콘택홀을 형성하는 단계와, 콘택홀을 통하여 스위치소자의 일측전극에 접속되는 화소전극을 기판이 로드된 진공챔버 내에 수소첨가물 가스를 주입하여 설정온도를 400℃ 미만의 저온공정으로 보호막 상에 형성하는 단계를 포함한다.

본 발명에 따른 액정표시장치의 화소전극 제조방법은 화소전극을 스퍼터링 방법으로 증착할 때 수소첨가물 가스를 사용하여 저온에서 진행하고, 이후 약산계 에천트를 사용하여 에칭함으로써 에칭공정시간의 단축과 메탈의 손상을 거의 없게 할 수 있다.

【대표도】

도 2f

【명세서】

【발명의 명칭】

액정표시장치의 화소전극 제조 방법{Fabricating Method of Pixel Pole in the Liquid Crystal Display}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술에 따른 박막트랜지스터의 제조공정도.

도 2a 내지 도 2g는 본 발명에 따른 박막트랜지스터의 제조공정도.

<도면의 주요부분에 대한 부호의 설명>

11,31 : 투명 기판

13,33 : 게이트전극

15,35 : 게이트절연막

17,37 : 활성층

19,39 : 오믹접촉층

21,23,41,43 : 소오스 및 드레인전극

25,45 : 포토레지스트 패턴

27,47 : 패시베이션층

28,48 : 콘택홀

29,49 : 화소전극

30 : 진공챔버

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 액정표시장치의 화소전극 제조방법에 관한 것이다.
- <11> 액티브 매트릭스 구동방식의 액정표시장치는 스위칭소자로서 박막트랜지스터를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시소자는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터와 노트북 컴퓨터는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.
- <12> 도 1a 내지 도 1d는 종래 기술에 따른 액정표시장치의 제조 공정도이다. 도 1a를 참조하면, 투명기판(11) 상에 스퍼터링(sputtering) 등의 방법으로 알루미늄 (Al) 또는 구리(Cu) 등을 1500~4000 Å 정도의 두께로 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식 방법을 포함하는 포토리소그래피 방법으로 패터닝하여 투명기판(11) 상에 게이트전극(13)을 형성한다.
- <13> 도 1b를 참조하면, 투명기판(11) 상에 게이트전극(13)을 덮도록 게이트절연막(15), 활성층(17) 및 오믹접촉층(19)을 화학기상증착(Chemical Vapor Deposition : 이하 'CVD'라 칭함) 방법으로 순차적으로 형성한다.
- <14> 상기에서 게이트절연막(15)은 투명기판(11) 상에 질화실리콘 또는 산화실리콘 등의 절연물질을 3000~5000 Å 정도의 두께로 증착하여 형성한다. 게이트절연막(15) 상의 게이트전극(13)과 대응하는 부분에 불순물이 도핑되지 않은 비정질

실리콘 또는 다결정실리콘을 1500~2000 Å 정도의 두께로 증착하여 활성층(17)을 형성한다. 그리고, 활성층(17) 상의 중간 부분을 제외한 양측 부분에 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘을 200~500 Å 정도의 두께로 증착하여 오믹접촉층(19)을 형성한다.

<15> 오믹접촉층(19) 및 활성층(17)을 게이트전극(13)과 대응하는 부분에만 잔류되도록 이방성식각을 포함하는 포토리소그래피 방법으로 패터닝한다.

<16> 도 1c를 참조하면, 게이트절연막(15) 상에 오믹접촉층(19)을 덮도록 상에 크롬(Cr), 몰리브덴(Mo), 티타늄 또는 탄탈륨 등의 금속이나, MoW, MoTa 또는 MoNo 등의 몰리브덴 합금(Mo alloy)을 CVD 방법 또는 스퍼터링 방법으로 1000~2000 Å 정도의 두께로 증착하여 금속 박막을 형성한다. 상기에서 오믹접촉층(19)과 금속박막은 오믹접촉을 이룬다.

<17> 그리고, 금속 박막 상에 포토레지스트를 도포하고 노광 및 현상하여 게이트전극(13)의 양측과 대응하는 부분에 포토레지스트 패턴(25)을 형성한다. 계속해서 포토레지스트 패턴(25)을 통해 금속 박막을 습식식각하여 소오스·드레인을 형성하며, 상기 포토레지스트와 상기 소오스·드레인을 통해 오믹접촉층(19)의 노출된 부분을 활성층(17)이 노출되도록 건식 식각한다. 이때, 오믹접촉층(19)은 포토레지스트 패턴 (25)의 측면에 일치되게 식각되는데, 식각되지 않고 잔류하는 오믹접촉층(19) 사이의 게이트전극(13)과 대응하는 부분의 활성층(17)은 채널이 된다.

<18> 도 1d를 참조하면, 포토레지스트 패턴(25)을 제거한다. 그리고 게이트절연막(15) 상에 소오스 및 드레인전극(21,23)을 덮도록 패시베이션층(27)을 형성한

다. 상기에서 패시베이션층(27)은 질화실리콘 또는 산화실리콘 등의 무기 절연 물질, 또는 아크릴(acryl)계 유기화합물, 테프론(Teflon),

BCB(Benzocyclobuten), 사이토프 (Cytop) 또는 PFCB(Perfluorocyclobutane) 등의 유전 상수가 작은 유기물질로 형성된다. 상기에서 활성층(17)과 소오스 및 드레인전극(21,23) 사이의 단차가 오믹접촉층(19)에 의해 완만하게 되므로 패시베이션층(27) 표면의 평탄도도 증가된다.

<19> 패시베이션층(27)을 포토리소그래피 방법으로 패터닝하여 드레인전극(23)을 노출시키는 접촉홀(28)을 형성한다. 패시베이션층(27) 상에 인듐주석산화물 (Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물 (Indium Zinc Oxide : IZO) 등의 투명한 도전성 물질을 접촉홀(28)을 통해 드레인전극(23)과 접촉되게 증착하고 포토리소그래피 방법으로 패터닝하여 화소전극(29)을 형성한다.

<20> 화소전극(29)을 증착할 때 전열공정(Preheating)을 먼저 실시한다. 이후 증착온도가 400℃ 이상된 고온 진공챔버에서 화소전극(29)을 증착하게 된다. 또한 고온에 의한 증착을 하는 경우 화소전극이 결정질화 되게 된다.

<21> 이로써 화소전극 에칭시 화소전극이 결정질에 대한 폴리(poly)특성으로 인해 에칭이 잘 되지 않아 강산계(HCl 계) 에천트를 사용하거나 오랜시간 에칭해야 하고, 공정 후에도 게이트전극에 손상을 주게 되고 금속의 잔여물이 남아서 균일성 (Uniformity)문제가 발생하여 후속공정에 영향을 미치게 되는 문제점이 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서, 본 발명의 목적은 ITO 전극 에칭시 메탈 손상이 적은 약산계 에천트를 사용함으로써 짧은 시간안에 에칭공정이 끝날수 있고, 금속 손상이 없는 화소전극 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위해서, 본 발명에 따른 액정표시장치의 화소전극 제조방법은 화소전극을 구동하기 위한 스위치소자를 구비하는 액정표시소자의 제조방법에 있어서, 스위치소자를 덮도록 기판 상에 보호막을 전면 증착하는 단계와, 스위치소자의 일측 전극이 노출되도록 보호막 상에 콘택홀을 형성하는 단계와, 콘택홀을 통하여 스위치소자의 일측전극에 접속되는 화소전극을 기판이 로드된 진공챔버 내에 수소첨가물 가스를 주입하여 설정온도를 400℃ 미만의 저온공정으로 보호막 상에 형성하는 단계를 포함한다.

<24> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<25> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

<26> 도 2a 내지 도 2g는 본 발명에 따른 액정표시장치의 제조 공정도이다.

<27> 도 2a를 참조하면, 투명기판(31) 상에 스퍼터링(sputtering) 등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 1500~4000Å 정도의 두께로 증착하여 금속

박막을 형성한다. 그리고, 금속박막을 습식 방법을 포함하는 포토리소그래피 방법으로 패터닝하여 투명기관(31) 상에 게이트전극(33)을 형성한다.

<28> 도 2b를 참조하면, 투명기관(31) 상에 게이트전극(33)을 덮도록 게이트절연막(35), 활성층(37) 및 오믹접촉층(39)을 화학기상증착(Chemical Vapor Deposition : 이하 'CVD'라 칭함) 방법으로 순차적으로 형성한다.

<29> 상기에서 게이트절연막(35)은 투명기관(31) 상에 질화실리콘 또는 산화실리콘 등의 절연물질을 3000~5000Å 정도의 두께로 증착하여 형성한다. 게이트절연막(35) 상의 게이트전극(33)과 대응하는 부분에 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘을 1500~2000Å 정도의 두께로 증착하여 활성층(37)을 형성한다. 그리고, 활성층(37) 상의 중간 부분을 제외한 양측 부분에 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘을 200~500Å 정도의 두께로 증착하여 오믹접촉층(39)을 형성한다.

<30> 오믹접촉층(39) 및 활성층(37)을 게이트전극(33)과 대응하는 부분에만 잔류되도록 이방성식각을 포함하는 포토리소그래피 방법으로 패터닝한다.

<31> 도 2c를 참조하면, 게이트절연막(35) 상에 오믹접촉층(39)을 덮도록 상에 크롬(Cr), 몰리브덴(Mo), 티타늄 또는 탄탈륨 등의 금속이나, MoW, MoTa 또는 MoNo 등의 몰리브덴 합금(Mo alloy)을 CVD 방법 또는 스퍼터링 방법으로 1000~2000Å 정도의 두께로 증착하여 금속 박막을 형성한다. 상기에서 오믹접촉층(39)과 금속박막은 오믹접촉을 이룬다.

<32> 그리고, 금속 박막 상에 포토레지스트를 도포하고 노광 및 현상하여 게이트 전극(33)의 양측과 대응하는 부분에 포토레지스트 패턴(35)을 형성한다. 계속해서 포토레지스트 패턴(45)을 통해 금속 박막을 습식식각하여 소오스·드레인을 형성하며, 상기 포토레지스트와 상기 소오스·드레인을 통해 오믹접촉층(39)의 노출된 부분을 활성층(37)이 노출되도록 건식 식각한다. 이때, 오믹접촉층(39)은 포토레지스트 패턴(45)의 측면에 일치되게 식각되는데, 식각되지 않고 잔류하는 오믹접촉층(39) 사이의 게이트전극(33)과 대응하는 부분의 활성층(37)은 채널이 된다.

<33> 도 2d를 참조하면, 포토레지스트 패턴(45)을 제거한다. 그리고 게이트절연층(35) 상에 소오스 및 드레인전극(41,43)을 덮도록 패시베이션층(47)을 형성한다. 상기에서 패시베이션층(47)은 질화실리콘 또는 산화실리콘 등의 무기 절연물질, 또는 아크릴(Acryl)계 유기화합물, 테프론(Teflon), BCB(benzocyclobuten), 사이토프 (Cytop) 또는 PFCB(Perfluorocyclobutane) 등의 유전 상수가 작은 유기물질로 형성된다.

<34> 도 2e를 참조하면, 패시베이션층(47)을 포토리소그래피 방법으로 패터닝하여 드레인전극(43)을 노출시키는 접촉홀(48)을 형성한다. 패시베이션층(47) 상에 인듐주석산화물 (Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물 (Indium Zinc Oxide : IZO) 등의 투명한 도전성 물질을 접촉홀(48)을 통해 드레인전극(43)과 접촉되게 증착하고 포토리소그래피 방법으로 패터닝하여 화소전극(49)을 형성하게 한다.

<35> 도 2f를 참조하면, 기판에 형성된 화소전극과 함께 액정셀을 동작시키기 위해서 공통전극으로써 RGB 패턴을 형성후 화소전극을 스퍼터링(sputtering)방법으로 증착한다.

<36> 스퍼터링 방법에 의해 화소전극을 증착할 때 진공챔버(30) 내에 수증기(H_2O 가스) 등의 수소 첨가물 가스를 사용하여 저온에서 공정을 진행하게 한다. 여기서 저온이라 함은 스퍼터링시 진공챔버(30)내의 설정온도가 400°C 미만인 정도를 말한다. 이로써 화소전극을 400°C 미만의 온도인 진공챔버(30) 내에서 증착하면, 실제 기판의 온도는 설정온도의 절반 수준인 200°C 미만이 되게 된다.

<37> 따라서, 본 발명에 따르면 종래의 발명에 있어서 고온증착을 하기 위한 전열공정을 거치지 않고 증착을 하게 되므로 공정을 단축할 수 있게 된다. 또한 저온의 진공챔버(30)에서 증착을 함으로써 화소전극이 아몰퍼스(Amorphous ; 비결정질)화 되어 약산계 에천트로 에칭이 가능하게 된다.

<38> 약산계 에천트로 에칭을 하게 되면 종래의 강산계에 의한 것보다 에칭시간이 $1/5 \sim 1/6$ 정도 단축되게 되고, 에칭을 위한 베이킹(Baking) 공정도 단순화할 수 있게 된다.

<39> 또한 약산계 에천트는 금속전극에 대한 손상이 거의 없으므로 높은 수율을 확보할 수 있으며, 화소전극 막 자체의 에칭 비율이 빨라 잔사나 잔막이 남을 가

능성이 거의 없게 된다. 이로써 도 2g와 같이 액정표시장치의 화소전극을 형성하게 된다.

【발명의 효과】

<40> 상술한 바와 같이, 본 발명에 따른 액정표시장치의 화소전극 제조방법은 화소전극을 스퍼터링방법으로 증착할 때 수소첨가물 가스를 사용하여 저온에서 진행하고, 이후 약산계 에천트를 사용하여 에칭함으로써 에칭공정시간의 단축과 메탈의 손상을 거의 없게 할 수 있다.

<41> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허 청구범위】**【청구항 1】**

화소전극을 구동하기 위한 스위치소자를 구비하는 액정표시장치의 제조방법에 있어서,

상기 스위치소자를 덮도록 기판 상에 보호막을 전면 증착하는 단계와,

상기 스위치소자의 일측 전극이 노출되도록 상기 보호막 상에 콘택홀을 형성하는 단계와,

상기 콘택홀을 통하여 상기 스위치소자의 일측전극에 접속되는 화소전극을 상기 기판이 로드된 진공챔버 내에 수소첨가물 가스를 주입하여 설정온도를 400℃ 미만의 저온공정으로 상기 보호막 상에 형성하는 단계를 포함하는 액정표시장치의 화소전극 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 화소전극은 비정질 구조를 가지는 것을 특징으로 하는 액정표시장치의 화소전극 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 화소전극은 약산계 에천트에 의해 에칭되는 것을 특징으로 하는 액정표시장치의 화소전극의 제조방법.

【청구항 4】

제 1 항에 있어서,

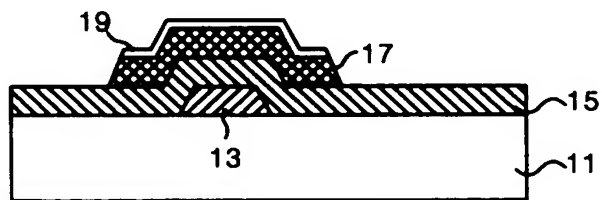
상기 기관의 온도는 200℃ 미만인 것을 특징으로 하는 액정표시장치의 화소
전극의 제조방법.

【도면】

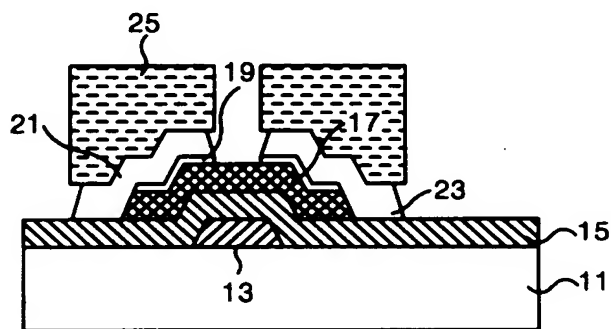
【도 1a】



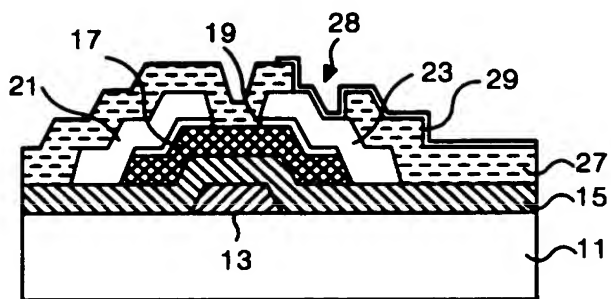
【도 1b】



【도 1c】



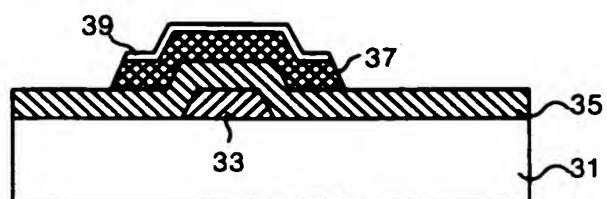
【도 1d】



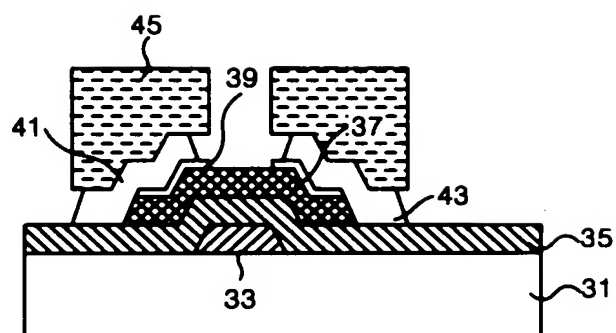
【도 2a】



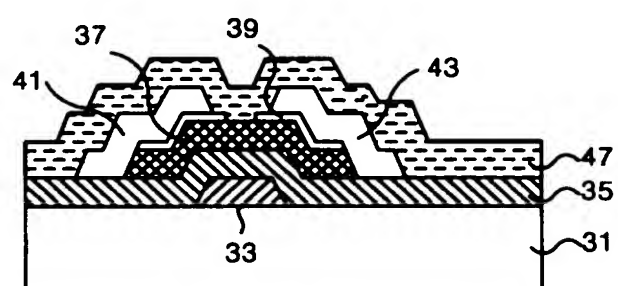
【도 2b】



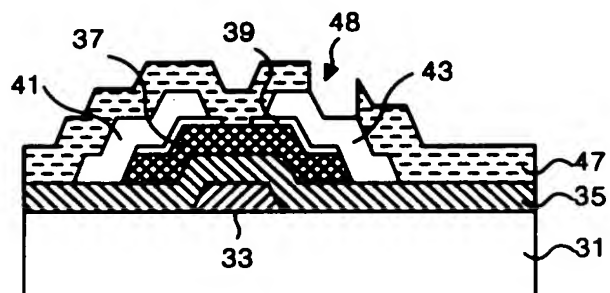
【도 2c】



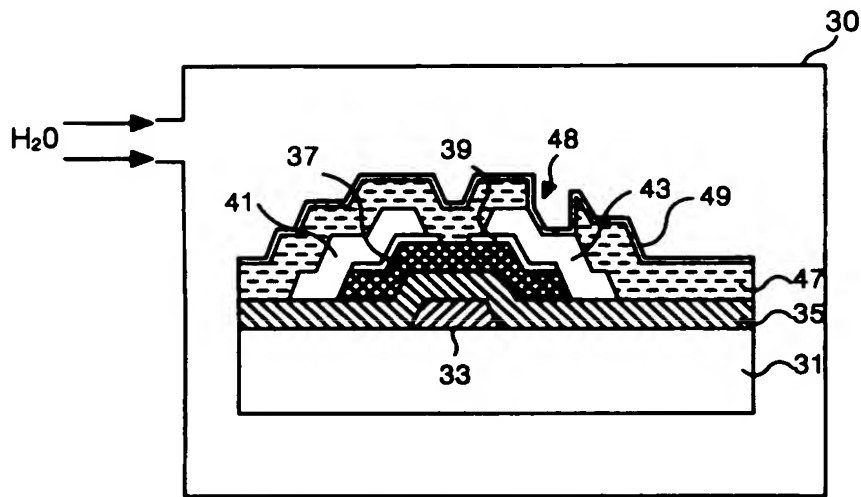
【도 2d】



【도 2e】



【도 2f】



【도 2g】

